PK0201_PGL22G_FBG256

（版本号：Version1.2）

（2019.03.01）

深圳市紫光同创电子有限公司

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2017/10/31	初步发行
V1.1	2019/01/15	增加 User IO 数
V1.2	2019/03/01	更新文件编号和页脚格式

名词术语解释

POD ： Package Outline Drawing

目　　录

图目录

表目录

一、 封装介绍

PGL22G_FBG256 产品采用 Wire bond 打线球栅阵列封装形式。其封装尺寸均为 17x17mm，植球数量为 256，植球间距为 1.0mm，最大封装厚度为 1.43mm。

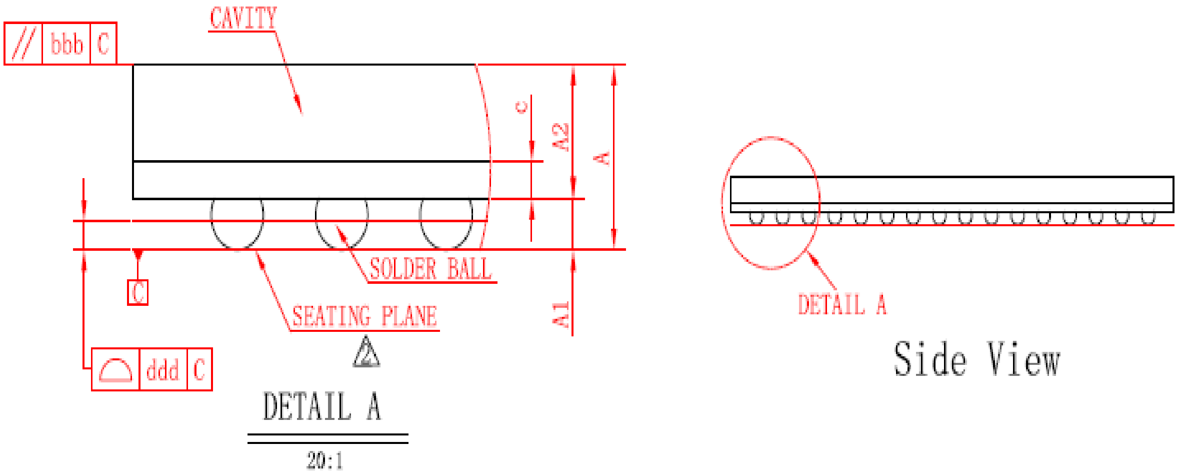
二、 封装尺寸和管脚

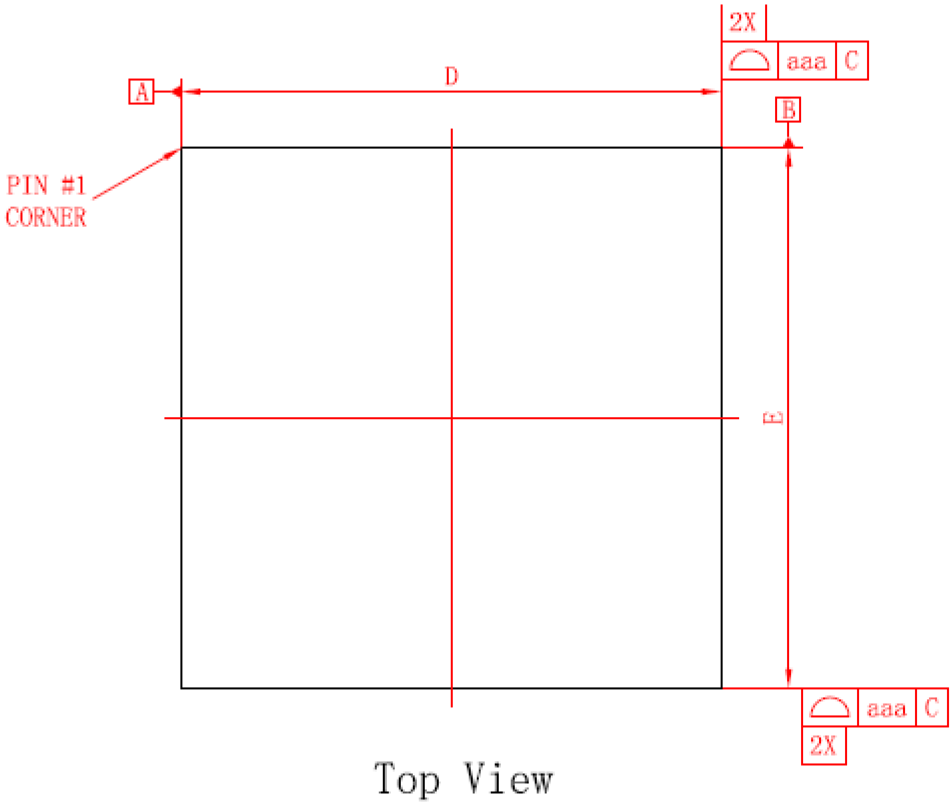
（一） 封装外形尺寸

表 1 外形尺寸数值表

单位为毫米

尺寸符号	数值			尺寸符号	数值		
	最 小	典型值	最 大		最 小	典型值	最 大
D	16.9	17.0	17.1	A	1.23	1.33	1.43
D1	n/a	15.0	n/a	A1	0.32	0.37	0.42
E	16.9	17.0	17.1	A2	0.91	0.96	1.01
E1	n/a	15.0	n/a	c	0.22	0.26	0.3
b	0.45	0.5	0.55	e	n/a	1.0	n/a




2X
aaa
C
A
D
B
PIN #1
CORNER
E
aaa
C
2X
Top View

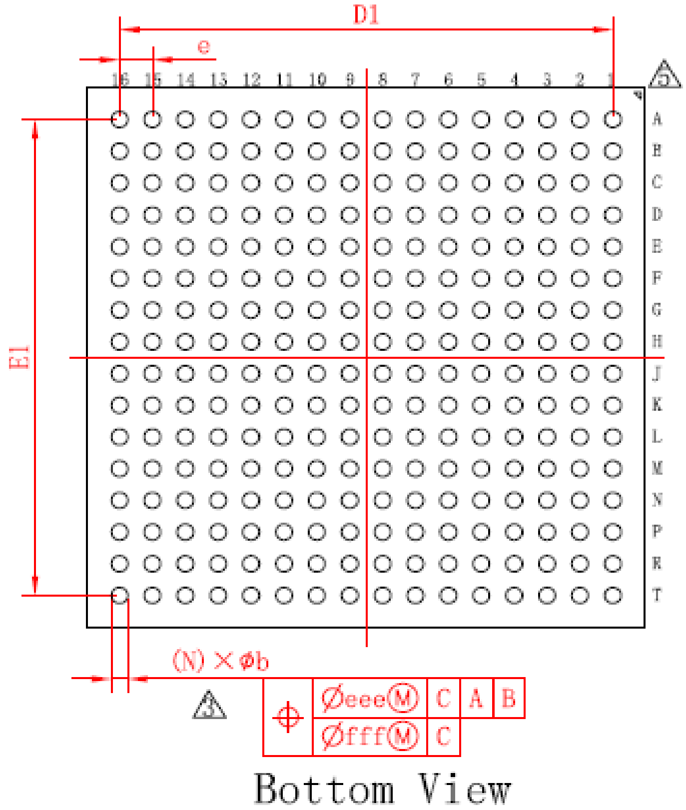

D1
e
16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1
A
B
C
D
E
F
G
H
J
K
L
M
N
P
R
T
E1
(N)×ϕb
Øeee M C A B
Øfff M C
Bottom View

图 1 外形尺寸图(POD)

（二） 管脚说明

表 2 产品管脚定义

PIN name	**PIN type**	**PIN description**
USER IO PIN		
DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]	Input/Output	所有普通 USER IO 被标记为 DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]。 DIFFIO：表示所有用户 IO 支持差分输入输出，如 LVDS； [L0、L1、L2、R0、R1、R2]:表示 BANK 名 [0…n]：表示 BANK 内唯一的差分对编号； [N，P]:N 表示差分对的负端，P 表示差分对的正端。
复用 PIN		
DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]/XXX		复用 PIN 被标记为 DIFFIO_[L0,L1,L2,R0,R1,R2]_[0…n]_[N,P]/XXX，其中 XXX 表示如下描述的一种或者几种功能。当复用 PIN 不做特殊应用时，其可以作为普通 USER IO
--配置 PIN		
MODE_2， MODE_1， MODE_0	input	配置时，用于配置模式选择，如下： 000: JTAG 001：主 SPI（X1，X2，X4，X8） 010：主 BPI（X8、X16） 011：从串（X1） 100：从并（X8，X16，X32） 101：从 SPI（X1） 111：内部主 SPI（X1，X2，X4）
INIT_FLAG_N	Bidirectional (open-drain)	配置时，当 FPGA 上电完成，驱动该 PIN 为低电平。当 FPGA 初始化完成后，释放对该 PIN 的驱动。在配置过程中，该 PIN 作为配置错误的指示状态输出。同时，在配置过程中或者初始化过程中，该 PIN 可以由外部输入低电平，用于指示错误或者延迟配置。
CFG_CLK	Input/Output	配置时钟 PIN。在从模式，该 PIN 作为时钟输入以从外部获取配置数据；在主模式，该 PIN 作为时钟输出以从外部获取配置数据。

D[31、30…1、0]	Input/Output	32 位配置数据总线输入输出管脚： （1）主 SPI X1 配置模式时，管脚 D[0]作为命令输出连接到 SPI flash 的数据输入端，管脚 D[1]作为数据输入连接到 SPI flash 的数据输出端。 （2）主 SPI X2 配置模式时，管脚 D[1:0]为数据总线。 （3）主 SPI X4 配置模式时，管脚 D[3:0]为数据总线。 （4）主 SPI X8 配置模式时，管脚 D[3:0]为第 1 片 SPI FLASH 的数据总线，管脚 D[7:4]为第 2 片 SPI FLASH 的数据总线。 （5）从串行配置模式时，管脚 D[1]为数据总线。 （6）从 SPI 配置模式时，管脚 D[0]为主设备输出从设备输入，管脚 D[1]为主设备输入从设备输出，管脚 D[3]为芯片保持。 （7）主 BPI 配置 X8 异步模式时，管脚 D[7:0]为 8 位数据总线。 （8）主 BPI 配置 X16 异步/同步模式时，管脚 D[15:0]为 16 位数据总线。 （9）从并行 X8 配置模式时，管脚 D[7:0]为 8 位数据总线。 （10）从并行 X16 配置模式时，管脚 D[15:0]为 16 位数据总线。 （11）从并行 X32 配置模式时，管脚 D[31:0]为 32 位数据总线。
CS_N	input	复用配置 PIN。片选输入，低电平有效。 (1)为低电平使能从并模式配置接口。 (2)在其他配置模式下，该 PIN 为高阻态。 (3)如果在配置结束后，要继续作为配置功能，需要进行设置配置寄存器，选择保留为配置功能。
RWSEL	input	复用配置 PIN。从并行配置模式读写选择输入，高为读，低为写。 （1）为高电平，从并行配置模式从数据总线读取数据； （2）为低电平，从并行配置模式向数据总线写数据； （3）读写之间的切换只能在 CS_N 为高电平期间才可以切换。 （4）如果在配置结束后，要继续作为配置功能，需要进行设置配置寄存器，选择保留为配置功能。 （5）在其他配置模式下，该 PIN 为高阻态。
BUSY	output	复用配置 PIN。 （1）使用并行从模式回读期间，输出为高表示从总线读取的数据是无效数据。 （2）如果在进入用户模式后，要继续作为配置功能，需要设置配置寄存器，选择保留为配置功能。 （3）在其他配置模式下，该 PIN 为高阻态。

CSO_DOUT	output	复用配置 PIN。在级联时需要使用。 （1）主 SPI，X1 模式，作为级联数据输出； （2）从串模式配置，作为级联数据输出； （3）从并模式配置，作为片选信号输出；
FCS_N	output	复用配置 PIN，外部主 SPI 配置模式使用。 （1）主 SPI 模式下，低有效输出片选信号给外部 flash；
VS1, VS0	input	复用配置 PIN，主 SPI 或者内部主 SPI 模式使用。 （1）数据流版本选择，00，选择第一套数据流，01，选择第二套数据流，10，选择第三套数据流，11，选择第四套数据流； （2）在配置期间，使能内置下拉电阻。
IO_STATUS_C	input	复用 PIN，输入信号，控制配置过程中所有用户 IO 的状态。 （1）“1”，配置过程中让所有用户 IO 处于上拉状态。 （2）“0”，配置过程中让所有用户 IO 处于三态。
ADR[25:0]	output	复用配置 PIN，BPI 配置模式使用，BPI 配置模式的地址输出
BFOE_N	output	复用配置 PIN，BPI 配置模式使用；为并行 NOR FLASH 提供低电平输出使能控制信号 （1）BPI 配置模式下，该 PAD 需要连接到 flash 的输出使能输入并且还需要连接一个 4.7K 的电阻到 VCCIO。
BADRVO_N	output	复用配置 PIN，BPI 配置模式使用；为并行 NOR FLASH 提供低电平地址有效控制信号； （1）BPI 配置模式下，如果外接 FLASH 支持地址有效信号输入，那么该 PAD 需要连接到 flash 的地址有效输入引脚并且还需要连接一个 4.7K 的电阻到 VCCIO。如果外接 flash 不支持地址有效信号输入，那么该 PAD 不需要连接。
BFWE_N	output	复用配置 PIN，BPI 配置模式使用；为并行 NOR FLASH 提供低电平写使能信号。 （1）BPI 配置模式，该 PAD 需要连接到 flash 的写使能输入并且需要连接一个 4.7K 的电阻到 VCCIO;
BFCE_N	output	复用配置 PIN，BPI 配置模式使用；为并行 NOR FLASH 提供低电平片选控制信号； （1）BPI 配置模式下，D 需要连接到 flash 的片选输入并且还需要连接一个 4.7K 的电阻到 VCCIO。
FCS2_N	output	复用配置 PIN，外部主 SPI X8 配置模式使用。 （1）主 SPI X8 模式下，低有效输出片选信号给外部 flash；需要外接上拉电阻不大于 4.7K 到 VCCIO
ECCLKIN	input	复用配置 PIN，输入信号，内部主配置模式的时钟输入

--时钟、PLL、晶振复用 PIN		
CLK[0,1,2,3]_[L0,L1,L2, R0,R1,R2]	input	专用全局时钟输入 PIN,每个 bank 提供 4 个 PIN
DIFFCLK[0,1]_[L0,L1,L2 ,R0,R1,R2]_[N,P]	input	专用全局差分时钟输入 PIN,每个 bank 提供 2 对
PLL[0,1,2, … 10]_CLKOUT_[P,N]	output	可直接选择 PLL[0，1，…,19]的输出到 PAD
PLL[0,1,2, … 10]_CLKIN[0,1,2,3]	input	可选的 PLL 输入，PLL 可以选择从这些 PAD 直接输入时钟
PLL[0,1,2,…,10]_CLKFB _[P,N]	input	可选的PLL反馈时钟输入，PLL可以选择从这些PAD来外部反馈时钟
XTALA_[L0,L1,L2,R0,R1 ,R2]	input	专用外置晶体 A 端输入。是片内反相器的输入,每个 bank 提供 1 个 PIN
XTALB_[L0,L1,L2,R0,R1 ,R2]	output	专用外置晶体 B 端输出。是片内反相器的输出,每个 bank 提供 1 个 PIN
--外部存储器接口 PIN		
DQS[0,1,2][#]_[L0,L1,L2, R0,R1,R2]	Input/Output	用于与外部存储器的 DQS/DQS#信号引脚连接
DQ[0,1,2]_[L0,L1,L2,R0, R1,R2]	Input/Output	可用于与外部存储器的 DQ 信号引脚连接
--HMEMC 存储器接口 PIN		
[R,L]_A[0,..,15]	output	DDR 存储器的地址
[R,L]_CS_N	output	DDR 存储器的片选信号，低有效，取决于存储器是否使用。
[R,L]_RAS_N	output	RAS，低有效
[R,L]_CAS_N	output	CAS，低有效
[R,L]_WE_N	output	写使能，低有效
[R,L]_BA[0,1,2]	output	ddr sdram BANK 地址
[R,L]_ODT	output	ODT，片上终端
[R,L]_CK	output	ddr 存储器时钟 P
[R,L]_CK_N	output	ddr 存储器时钟 N
[R,L]_CKE	output	ddr 存储器时钟使能，高有效
[R,L]_RESET_N	output	ddr 存储器复位，低有效
[R,L]_DML	output	DQ0-DQ7 的写数据 mask 信号
[R,L]_DQSL	Input/Output	DQ0-DQ7 相关的 DQS 信号
[R,L]_DQSL_N	Input/Output	DQ0-DQ7 相关的 DQS#信号
[R,L]_DQ[0,…,15]	Input/Output	存储器数据总线
[R,L]_DMU	output	DQ8-DQ15 的写数据 mask 信号
[R,L]_DQSU	Input/Output	DQ8-DQ15 相关的 DQS 信号
[R,L]_DQSU_N	Input/Output	DQ8-DQ15 相关的 DQS#信号
[R,L]_DQSL_GATE_IN	input	补偿读命令通路延时后反馈回来的 DQS gate 窗口信号（低位）
[R,L]_DQSL_GATE_OU	output	补偿读命令通路延时后输出的 DQS gate 窗口信号

T		（低位）
[R,L]_DQSU_GATE_IN	input	补偿读命令通路延时后反馈回来的 DQS gate 窗口信号（高位）
[R,L]_DQSU_GATE_OUT	output	补偿读命令通路延时后输出的 DQS gate 窗口信号（高位）
--参考 PIN		
RRP_[L0,L1,L2,R0,R1,R2]	input	外接参考电阻 PIN，每个 bank 一个。用于片内终端电阻调整提供对电源的参考电阻。
RRN_[L0,L1,L2,R0,R1,R2]	input	外接参考电阻 PIN，每个 bank 一个。用于片内终端电阻调整提供对地的参考电阻。
VREF_[L0,L1,L2,R0,R1,R2]	input	外接参考电源 PIN，每个 bank 一个。用于每个 BANK 提供参考电压输入
--ADC PIN		
VAUX[9,8,7,..0]	input	输入的模拟信号
专用 PIN		
--配置、JTAG PIN		
CFG_DONE	Bidirectional (open-drain)	配置状态专用 PIN。作为状态输出，在配置之前或者配置过程中该 PIN 被驱动为低电平。一旦所有的配置数据被正确的接收并且启动了启动时序，释放对该 PIN 的控制。
RST_N	input	专用配置输入 PIN，内部弱上拉，用于重新启动配置流程，低有效。建议用户在使用过程中在芯片外部用电阻上拉 RST_N。当该 PIN 为低电平，FPGA 进入复位状态，所有的 IO 处于 HighZ 态。
TCK	input	专用 JTAG 测试时钟时钟输入 PIN
TMS	input	专用 JTAG 测试模式选择输入 PIN
TDI	input	专用 JTAG 测试数据输入 PIN。
TDO	output	专用 JTAG 测试数据输出 PIN。
--参考 PIN		
REXT	input	专用外接高精度电阻管脚，电阻值 10k，精度 1%。给 bandgap 提供电阻。
--ADC PIN		
VA[1,0]	input	专用模拟输入信号
VREF_EXT	input	专用外部参考 2.5V 电压。
电源、地 PIN		
VCC	POWER	内核电源，1.1V。给内核逻辑提供电源
VCCAUX	POWER	辅助 3.3V 电源，给 IOB、LDO 等模块提供辅助电源
VDDIO[L0,L1,L2,R0,R1,R2]	POWER	IO BANK 电源，左边 bank 从上到下为 BANKL0、BANKL1、BANKL2、以此类推；右边 BANK，从上到下为 BANKR0、BANKR1、BANKR2、
VCCAUX_A	POWER	ADC、BANDGAP、POR 的供电电源
VSS	GR0UND	GND relative to VCC&VCCAUX

VSSA	GR0UND	GND relative to VCCAUX_A
VDDEFUSE	POWER	EFUSE 编程电压
VDDIOCFG	POWER	BANKCFG 电源

备注: PGL22G_FBG256 产品的 user IO 数为 186。

1. Pinout Diagram

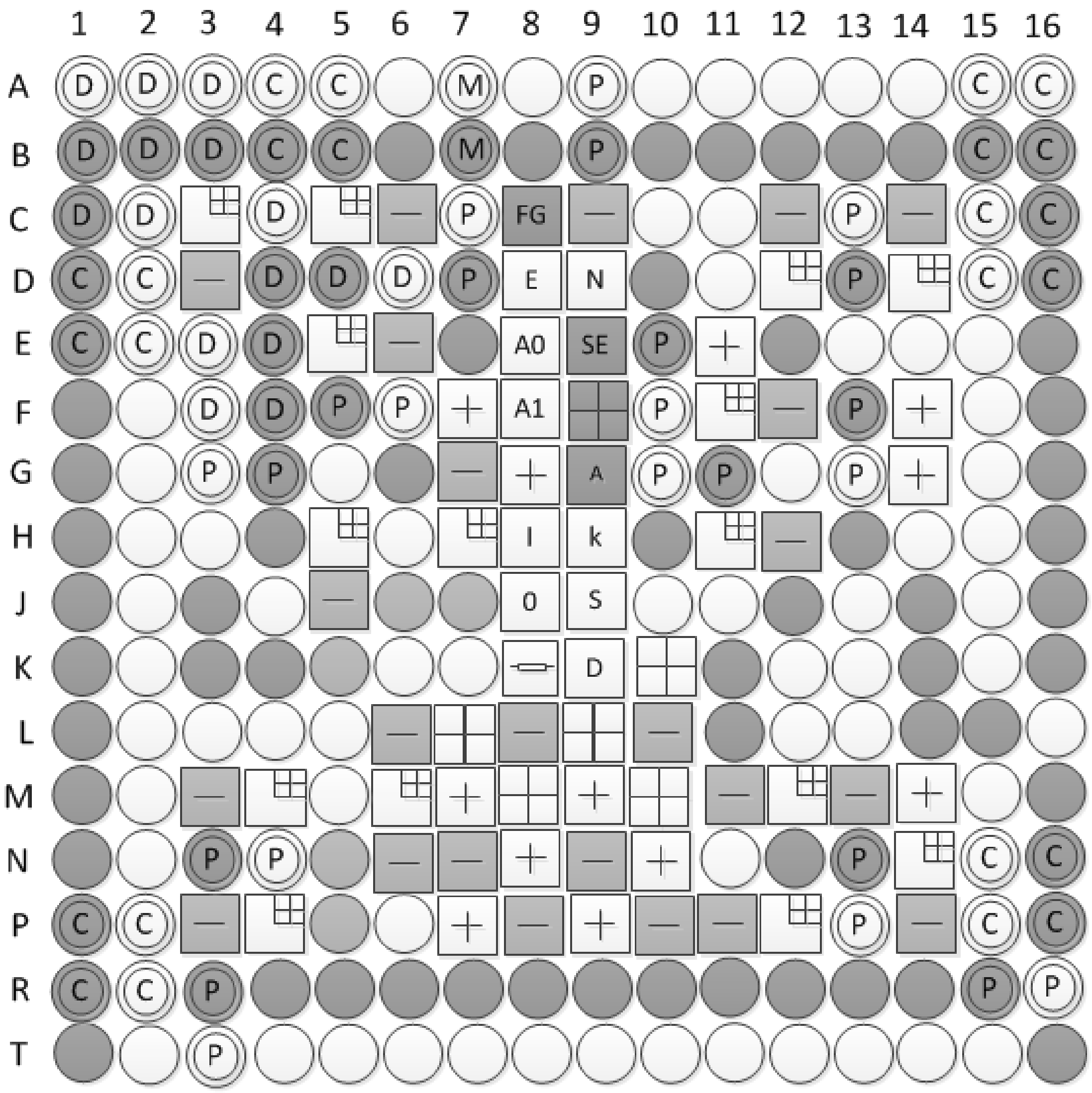


图 2 Pinout Diagram

备注：Pinout 符号代表说明如下：

		COMP(N)	TRUE(P)	专用IO		其他	
普通IO	DIFFIO*			REST_N	N	VSS	—
复用IO	DIFFIO*/D0~D31	D	D	CFG_DONE	D	VCC	+
	DIFFIO*/MODE*	M	M	VREF_EXT	E	VCCAUX	
	DIFFIO*/BUSY	B	B	VA1	A1	VDDIO*	
	DIFFIO*/CS_N	C	C	VA0	A0	VSSA	A
	DIFFIO*/FCS_N	FC	FC	REXT		VDDEFUSE	SE
	DIFFIO*/VREF	V	V	TMS	S	VCCAUX_A	
	DIFFIO*/CLK*	C	C	TCK	K	VDDIOCFG	FG
	DIFFIO*/PLL*	P	P	TDI	I		
	DIFFIO*/RR*	R	R	TDO	O		

2. IO Banks

Top view

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	L0	L0	L0	L0	L0	L0	L0	L0	L0	L0	R0	R0	R0	R0	R0	R0
B	L0	L0	L0	L0	L0	L0	L0	L0	L0	L0	R0	R0	R0	R0	R0	R0
C	L0	L0		L0			L0			L0	R0		R0		R1	R1
D	L1	L1		L0	L0	L0	L0			L0	R0		R0		R1	R1
E	L1	L1	L0	L0			L0			R0		R0	R0	R0	R1	R1
F	L1	L1	L0	L0	L1	L1				R0			R1		R1	R1
G	L1	L1	L1	L1	L1	L1				R1	R1	R1	R1		R1	R1
H	L1	L1	L1	L1		L1				R1			R1	R1	R1	R1
J	L1	L1	L1	L1		L2	L1			R1	R1	R1	R1	R1	R2	R2
K	L2	L2	L2	L2	L2	L2	L1				R2	R2	R2	R2	R2	R2
L	L2	L2	L2	L2	L2						R2	R2	R2	R2	R2	R2
M	L2	L2			L2										R2	R2
N	L2	L2	L2	L2	L2						R2	R2	R2		R2	R2
P	L2	L2			L2	L2							R2		R2	R2
R	L2	L2	L2	L2	L2	L2	L2	L2	R2	R2	R2	R2	R2	R2	R2	R2
T	L2	L2	L2	L2	L2	L2	L2	L2	R2	R2	R2	R2	R2	R2	R2	R2

图 3 IO Banks

3. Memory GR0upings

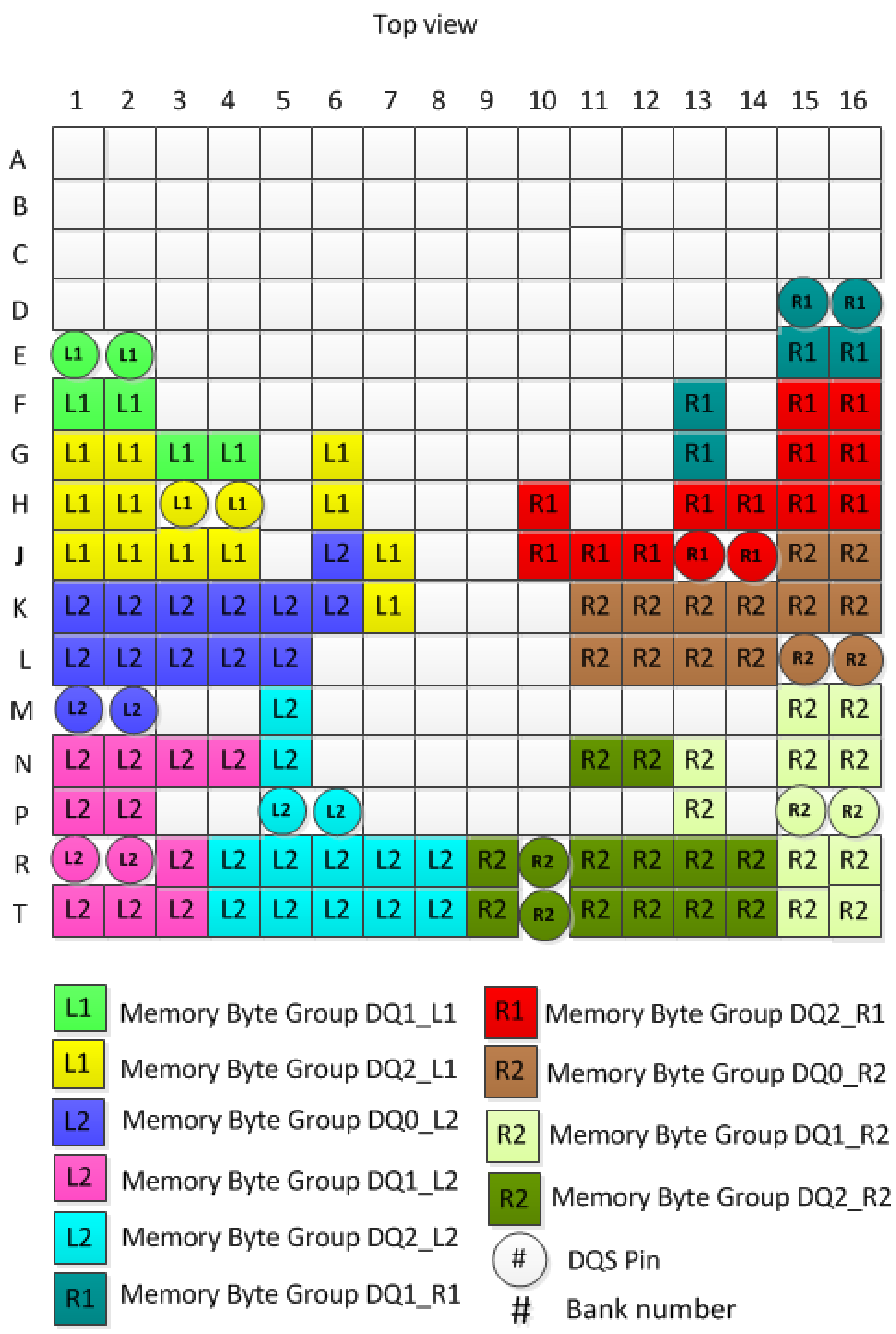


图 4 Memory GR0upings

4. Power and GND Placement

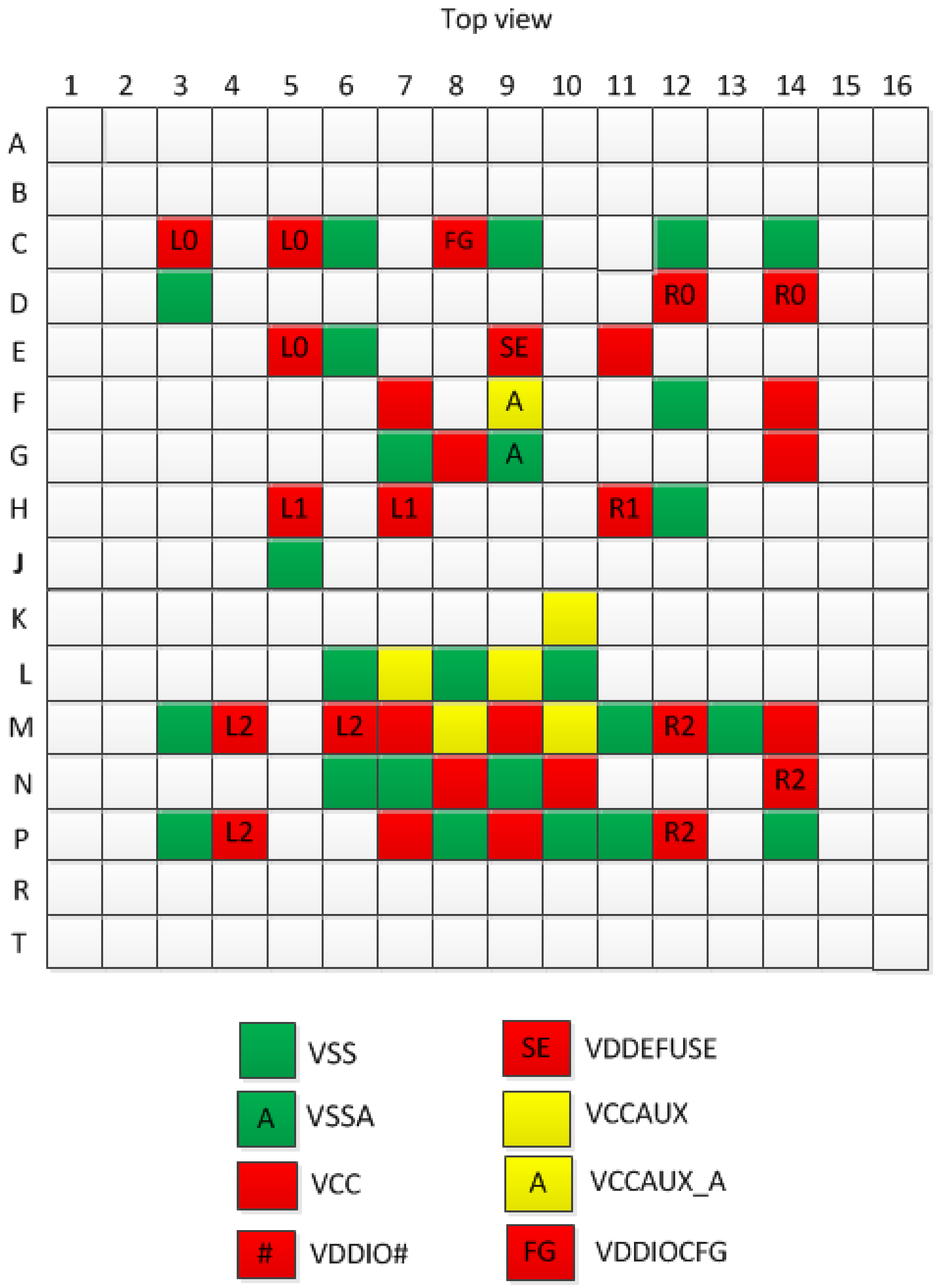


图 5 Power and GND Placement

5. Ball name list

表 3 Ball name list

Bank Name	Ball Name (Function name)	Ball Number	Memory byte group	Time Delay (ps)
BANKCFG	RST_N	D9		
BANKCFG	CFG_DONE	K9		
BANKCFG	TCK	H9		
BANKCFG	TMS	J9		
BANKCFG	TDI	H8		
BANKCFG	TDO	J8		
BANKCFG	VREF_EXT	D8		
BANKCFG	VA0	E8		54.2937
BANKCFG	VA1	F8		51.7296
BANKCFG	REXT	K8		
BANKL0	DIFFIO_L0_0_P/BUSY	E7		33.9649
BANKL0	DIFFIO_L0_3_P/IO_STATUS_C	B8		111.916
BANKL0	DIFFIO_L0_3_N/CFG_CLK	A8		114.199
BANKL0	DIFFIO_L0_4_P/FCS_N	D10		94.3845
BANKL0	DIFFIO_L0_4_N/CS_N	C10		88.025
BANKL0	DIFFIO_L0_5_P/MODE_0	B7		113.72
BANKL0	DIFFIO_L0_5_N/MODE_1	A7		116.101
BANKL0	DIFFIO_L0_6_P/MODE_2	B10		123.49
BANKL0	DIFFIO_L0_6_N/VREF_L0/CSO_DOUT	A10		124.7
BANKL0	DIFFIO_L0_7_P/RWSEL	B6		116.364
BANKL0	DIFFIO_L0_7_N/INIT_FLAG_N	A6		118.445
BANKL0	DIFFIO_L0_8_P/PLL0_CLKOUT_P	D7		60.849
BANKL0	DIFFIO_L0_8_N/PLL0_CLKOUT_N	C7		61.1062
BANKL0	DIFFIO_L0_9_P/CLK0_L0/DIFFCLK0_L0_P/ PLL0_CLKFB_P/XTALA_L0	B5		114.302
BANKL0	DIFFIO_L0_9_N/CLK1_L0/DIFFCLK0_L0_N/ PLL0_CLKFB_N/XTALB_L0	A5		121.611
BANKL0	DIFFIO_L0_10_P/CLK2_L0/DIFFCLK1_L0_P /PLL1_CLKIN0	B4		122.667
BANKL0	DIFFIO_L0_10_N/CLK3_L0/DIFFCLK1_L0_N /PLL1_CLKIN1	A4		119.311
BANKL0	DIFFIO_L0_11_P/PLL1_CLKIN2	B9		121.12
BANKL0	DIFFIO_L0_11_N/PLL1_CLKIN3	A9		124.223
BANKL0	DIFFIO_L0_12_P/D0	B3		119.266
BANKL0	DIFFIO_L0_12_N/RRN_L0/D1	A3		118.849
BANKL0	DIFFIO_L0_13_P/RRP_L0/D2	D5		57.0984
BANKL0	DIFFIO_L0_13_N/D3	D6		51.1101

BANKL0	DIFFIO_L0_14_P/D4	B2		117.421
BANKL0	DIFFIO_L0_14_N/D5	A2		116.543
BANKL0	DIFFIO_L0_15_P/D6	D4		63.8651
BANKL0	DIFFIO_L0_15_N/D7	C4		62.5254
BANKL0	DIFFIO_L0_16_P/D8	B1		112.884
BANKL0	DIFFIO_L0_16_N/D9	A1		117.981
BANKL0	DIFFIO_L0_17_P/D10	E4		47.8823
BANKL0	DIFFIO_L0_17_N/D11	E3		45.0627
BANKL0	DIFFIO_L0_18_P/D12	C1		93.522
BANKL0	DIFFIO_L0_18_N/D13	C2		91.1554
BANKL0	DIFFIO_L0_19_P/D14	F4		44.535
BANKL0	DIFFIO_L0_19_N/D15	F3		42.3111
BANKL1	DIFFIO_L1_6_N/VREF_L1	G5		32.2202
BANKL1	DIFFIO_L1_8_P/PLL2_CLKOUT_P	F5		42.1327
BANKL1	DIFFIO_L1_8_N/PLL2_CLKOUT_N	F6		39.0311
BANKL1	DIFFIO_L1_9_P/CLK0_L1/DIFFCLK0_L1_P/PLL2_CLKFB_P/XTALA_L1	D1		95.5235
BANKL1	DIFFIO_L1_9_N/CLK1_L1/DIFFCLK0_L1_N/PLL2_CLKFB_N/XTALB_L1	D2		91.5143
BANKL1	DIFFIO_L1_10_P/CLK2_L1/DIFFCLK1_L1_P/PLL3_CLKIN0	E1	L_A15	84.8201
BANKL1	DIFFIO_L1_10_N/CLK3_L1/DIFFCLK1_L1_N/PLL3_CLKIN1	E2	L_A14	82.5384
BANKL1	DIFFIO_L1_11_P/PLL3_CLKIN2	G4	L_A13	47.1148
BANKL1	DIFFIO_L1_11_N/PLL3_CLKIN3	G3	L_A12	46.2927
BANKL1	DIFFIO_L1_12_P	F1	L_A11	81.4072
BANKL1	DIFFIO_L1_12_N/RRN_L1	F2		81.8278
BANKL1	DIFFIO_L1_13_P/RRP_L1	G6		42.9394
BANKL1	DIFFIO_L1_13_N	H6	L_A10	43.2864
BANKL1	DIFFIO_L1_14_P	G1	L_A9	78.8609
BANKL1	DIFFIO_L1_14_N	G2	L_RESET_N	79.5689
BANKL1	DIFFIO_L1_15_P	H4	L_A8	46.8207
BANKL1	DIFFIO_L1_15_N	H3	L_CKE	45.8728
BANKL1	DIFFIO_L1_16_P	H1	L_A7	82.1701
BANKL1	DIFFIO_L1_16_N	H2	L_A6	79.1875
BANKL1	DIFFIO_L1_17_P	J3	L_A5	42.7685
BANKL1	DIFFIO_L1_17_N	J4	L_A4	44.5721
BANKL1	DIFFIO_L1_18_P	J1	L_A3	83.2955
BANKL1	DIFFIO_L1_18_N	J2	L_A2	85.5844
BANKL1	DIFFIO_L1_19_P	J7	L_A1	48.0842
BANKL1	DIFFIO_L1_19_N	K7	L_A0	46.9213
BANKL2	DIFFIO_L2_0_P	K3	L_DQSU_GATE_OUT	60.6722

BANKL2	DIFFIO_L2_0_N	L3	L_DQSU_GATE_IN	65.2487
BANKL2	DIFFIO_L2_1_P	K1	L_DMU	83.5264
BANKL2	DIFFIO_L2_1_N	K2	L_DQ15	80.8125
BANKL2	DIFFIO_L2_2_P	J6	L_DQ14	33.7101
BANKL2	DIFFIO_L2_2_N	K6	L_DQ13	32.9055
BANKL2	DIFFIO_L2_3_P	L1	L_DQ12	65.7679
BANKL2	DIFFIO_L2_3_N	L2	L_DQ11	70.5198
BANKL2	DIFFIO_L2_4_P	M1	L_DQSU	72.2523
BANKL2	DIFFIO_L2_4_N	M2	L_DQSU_N	65.3576
BANKL2	DIFFIO_L2_5_P	K4	L_DQ10	48.1719
BANKL2	DIFFIO_L2_5_N	L4	L_DQ9	47.5445
BANKL2	DIFFIO_L2_6_P	K5	L_DQ8	29.9347
BANKL2	DIFFIO_L2_6_N/VREF_L2	L5		31.2892
BANKL2	DIFFIO_L2_7_P	N1	L_CS_N	73.0222
BANKL2	DIFFIO_L2_7_N	N2	L_RAS_N	74.0535
BANKL2	DIFFIO_L2_8_P/PLL4_CLKOUT_P	R3	L_CAS_N	94.2504
BANKL2	DIFFIO_L2_8_N/PLL4_CLKOUT_N	T3	L_BA2	93.4058
BANKL2	DIFFIO_L2_9_P/CLK0_L2/DIFFCLK0_L2_P/PLL4_CLKFB_P/XTALA_L2	P1	L_BA1	77.6015
BANKL2	DIFFIO_L2_9_N/CLK1_L2/DIFFCLK0_L2_N/PLL4_CLKFB_N/XTALB_L2	P2	L_BA0	77.2835
BANKL2	DIFFIO_L2_10_P/CLK2_L2/DIFFCLK1_L2_P/PLL5_CLKIN0	R1	L_WE_N	85.4692
BANKL2	DIFFIO_L2_10_N/CLK3_L2/DIFFCLK1_L2_N/PLL5_CLKIN1	R2	L_ODT	81.5118
BANKL2	DIFFIO_L2_11_P/PLL5_CLKIN2	N3	L_CK	59.8083
BANKL2	DIFFIO_L2_11_N/PLL5_CLKIN3	N4	L_CK_N	56.7024
BANKL2	DIFFIO_L2_12_P	T1		91.5233
BANKL2	DIFFIO_L2_12_N/RRN_L2	T2		90.1063
BANKL2	DIFFIO_L2_13_P/RRP_L2	R7		72.3462
BANKL2	DIFFIO_L2_13_N	T7	L_DQ7	84.1576
BANKL2	DIFFIO_L2_14_P	R4	L_DQ6	77.1148
BANKL2	DIFFIO_L2_14_N	T4	L_DQ5	78.632
BANKL2	DIFFIO_L2_15_P	P5	L_DQSL	48.4971
BANKL2	DIFFIO_L2_15_N	P6	L_DQSL_N	54.4473
BANKL2	DIFFIO_L2_16_P	R5	L_DQ4	75.2718
BANKL2	DIFFIO_L2_16_N	T5	L_DQ3	78.0891
BANKL2	DIFFIO_L2_17_P	R8	L_DQ2	70.7083
BANKL2	DIFFIO_L2_17_N	T8	L_DQ1	78.5744
BANKL2	DIFFIO_L2_18_P	R6	L_DQ0	73.3085
BANKL2	DIFFIO_L2_18_N	T6	L_DML	77.146
BANKL2	DIFFIO_L2_19_P	N5	L_DQSL_GAT	40.2253

			E_OUT	
BANKL2	DIFFIO_L2_19_N	M5	L_DQSL_GATE_IN	38.968
BANKR0	DIFFIO_R0_0_N/VAUX4	C11		26.3472
BANKR0	DIFFIO_R0_1_P/VAUX3	B13		70.9206
BANKR0	DIFFIO_R0_1_N/VAUX2	A13		72.3254
BANKR0	DIFFIO_R0_2_P/VAUX1	B11		65.2503
BANKR0	DIFFIO_R0_2_N/VAUX0	A11		67.5474
BANKR0	DIFFIO_R0_3_N/ECCLKIN	E13		42.2802
BANKR0	DIFFIO_R0_4_P/FCS2_N	B12		69.6444
BANKR0	DIFFIO_R0_4_N/BFCE_N	A12		71.6613
BANKR0	DIFFIO_R0_6_N/VREF_R0	D11		59.0174
BANKR0	DIFFIO_R0_7_P/VS1	B14		71.2695
BANKR0	DIFFIO_R0_7_N/VS0	A14		75.0903
BANKR0	DIFFIO_R0_8_P/PLL0_CLKIN0	D13		67.4135
BANKR0	DIFFIO_R0_8_N/PLL0_CLKIN1	C13		64.6017
BANKR0	DIFFIO_R0_9_P/CLK0_R0/DIFFCLK0_R0_P/PLL0_CLKIN2/XTALA_R0	B15		77.2615
BANKR0	DIFFIO_R0_9_N/CLK1_R0/DIFFCLK0_R0_N/PLL0_CLKIN3/XTALB_R0	A15		83.8704
BANKR0	DIFFIO_R0_10_P/CLK2_R0/DIFFCLK1_R0_P/PLL1_CLKFB_P	B16		88.3244
BANKR0	DIFFIO_R0_10_N/CLK3_R0/DIFFCLK1_R0_N/PLL1_CLKFB_N	A16		83.1333
BANKR0	DIFFIO_R0_11_P/PLL1_CLKOUT_P	E10		58.7395
BANKR0	DIFFIO_R0_11_N/PLL1_CLKOUT_N	F10		57.8999
BANKR0	DIFFIO_R0_12_N/RRN_R0/D17/ADR1	E14		50.3624
BANKR0	DIFFIO_R0_13_P/RRP_R0/D18/ADR2	E12		37.1236
BANKR1	DIFFIO_R1_6_N/VREF_R1	G12		32.5532
BANKR1	DIFFIO_R1_8_P/PLL2_CLKIN0	G11		51.3123
BANKR1	DIFFIO_R1_8_N/PLL2_CLKIN1	G10		50.8471
BANKR1	DIFFIO_R1_9_P/CLK0_R1/DIFFCLK0_R1_P/PLL2_CLKIN2/XTALA_R1	C16		102.44
BANKR1	DIFFIO_R1_9_N/CLK1_R1/DIFFCLK0_R1_N/PLL2_CLKIN3/XTALB_R1	C15		98.8505
BANKR1	DIFFIO_R1_10_P/CLK2_R1/DIFFCLK1_R1_P/PLL3_CLKFB_P	D16	R_A15	90.9851
BANKR1	DIFFIO_R1_10_N/CLK3_R1/DIFFCLK1_R1_N/PLL3_CLKFB_N	D15	R_A14	85.8662
BANKR1	DIFFIO_R1_11_P/PLL3_CLKOUT_P	F13	R_A13	41.8291
BANKR1	DIFFIO_R1_11_N/PLL3_CLKOUT_N	G13	R_A12	33.5733
BANKR1	DIFFIO_R1_12_P	E16	R_A11	81.2154
BANKR1	DIFFIO_R1_12_N/RRN_R1	E15		78.181

BANKR1	DIFFIO_R1_13_P/RRP_R1	H13		27.2278
BANKR1	DIFFIO_R1_13_N	H14	R_A10	33.4265
BANKR1	DIFFIO_R1_14_P	F16	R_A9	75.312
BANKR1	DIFFIO_R1_14_N	F15	R_RESET_N	74.4289
BANKR1	DIFFIO_R1_15_P	J14	R_A8	36.0229
BANKR1	DIFFIO_R1_15_N	J13	R_CKE	33.7423
BANKR1	DIFFIO_R1_16_P	G16	R_A7	79.0877
BANKR1	DIFFIO_R1_16_N	G15	R_A6	72.4733
BANKR1	DIFFIO_R1_17_P	H10	R_A5	51.6056
BANKR1	DIFFIO_R1_17_N	J10	R_A4	50.1377
BANKR1	DIFFIO_R1_18_P	H16	R_A3	74.7535
BANKR1	DIFFIO_R1_18_N	H15	R_A2	74.9894
BANKR1	DIFFIO_R1_19_P	J12	R_A1	41.9398
BANKR1	DIFFIO_R1_19_N	J11	R_A0	43.5907
BANKR2	DIFFIO_R2_0_P	K14	R_DQSU_GATE_OUT	36.8714
BANKR2	DIFFIO_R2_0_N	K13	R_DQSU_GATE_IN	35.0893
BANKR2	DIFFIO_R2_1_P	J16	R_DMU	74.4218
BANKR2	DIFFIO_R2_1_N	J15	R_DQ15	73.6784
BANKR2	DIFFIO_R2_2_P	K11	R_DQ14	42.2595
BANKR2	DIFFIO_R2_2_N	K12	R_DQ13	41.3417
BANKR2	DIFFIO_R2_3_P	K16	R_DQ12	74.1886
BANKR2	DIFFIO_R2_3_N	K15	R_DQ11	77.6681
BANKR2	DIFFIO_R2_4_P	L15	R_DQSU	85.0193
BANKR2	DIFFIO_R2_4_N	L16	R_DQSU_N	85.8853
BANKR2	DIFFIO_R2_5_P	L11	R_DQ10	93.1869
BANKR2	DIFFIO_R2_5_N	L12	R_DQ9	92.0106
BANKR2	DIFFIO_R2_6_P	L14	R_DQ8	37.0396
BANKR2	DIFFIO_R2_6_N/VREF_R2	L13		35.388
BANKR2	DIFFIO_R2_7_P	M16	R_CS_N	78.5795
BANKR2	DIFFIO_R2_7_N	M15	R_RAS_N	80.0053
BANKR2	DIFFIO_R2_8_P/PLL4_CLKIN0	N13	R_CAS_N	58.8917
BANKR2	DIFFIO_R2_8_N/PLL4_CLKIN1	P13	R_BA2	62.0866
BANKR2	DIFFIO_R2_9_P/CLK0_R2/DIFFCLK0_R2_P/PLL4_CLKIN2/XTALA_R2	N16	R_BA1	88.3898
BANKR2	DIFFIO_R2_9_N/CLK1_R2/DIFFCLK0_R2_N/PLL4_CLKIN3/XTALB_R2	N15	R_BA0	95.7046
BANKR2	DIFFIO_R2_10_P/CLK2_R2/DIFFCLK1_R2_P/PLL5_CLKFB_P	P16	R_WE_N	97.9081
BANKR2	DIFFIO_R2_10_N/CLK3_R2/DIFFCLK1_R2_N/PLL5_CLKFB_N	P15	R_ODT	97.2606
BANKR2	DIFFIO_R2_11_P/PLL5_CLKOUT_P	R15	R_CK	113.046

BANKR2	DIFFIO_R2_11_N/PLL5_CLKOUT_N	R16	R_CK_N	116.289
BANKR2	DIFFIO_R2_12_P	T16		89.5816
BANKR2	DIFFIO_R2_12_N/RRN_R2	T15		91.729
BANKR2	DIFFIO_R2_13_P/RRP_R2	R11		80.6103
BANKR2	DIFFIO_R2_13_N	T11	R_DQ7	79.5469
BANKR2	DIFFIO_R2_14_P	R14	R_DQ6	73.4387
BANKR2	DIFFIO_R2_14_N	T14	R_DQ5	83.3959
BANKR2	DIFFIO_R2_15_P	R10	R_DQSL	74.4033
BANKR2	DIFFIO_R2_15_N	T10	R_DQSL_N	76.87
BANKR2	DIFFIO_R2_16_P	R13	R_DQ4	77.2637
BANKR2	DIFFIO_R2_16_N	T13	R_DQ3	80.524
BANKR2	DIFFIO_R2_17_P	R9	R_DQ2	79.236
BANKR2	DIFFIO_R2_17_N	T9	R_DQ1	79.9163
BANKR2	DIFFIO_R2_18_P	R12	R_DQ0	94.7515
BANKR2	DIFFIO_R2_18_N	T12	R_DML	90.0916
BANKR2	DIFFIO_R2_19_P	N12	R_DQSL_GATE_OUT	52.2424
BANKR2	DIFFIO_R2_19_N	N11	R_DQSL_GATE_IN	51.1546
	VCC	E11		
	VCC	F7		
	VCC	F14		
	VCC	G8		
	VCC	G14		
	VCC	M7		
	VCC	M9		
	VCC	M14		
	VCC	N8		
	VCC	N10		
	VCC	P7		
	VCC	P9		
	VCCAUX	K10		
	VCCAUX	L7		
	VCCAUX	L9		
	VCCAUX	M8		
	VCCAUX	M10		
BANKCFG	VCCAUX_A	F9		
BANKCFG	VDDEFUSE	E9		
BANKCFG	VDDIOCFG	C8		
BANKL0	VDDIOL0	C3		
BANKL0	VDDIOL0	C5		
BANKL0	VDDIOL0	E5		
BANKL1	VDDIOL1	H5		

BANKL1	VDDIOL1	H7		
BANKL2	VDDIOL2	M4		
BANKL2	VDDIOL2	M6		
BANKL2	VDDIOL2	P4		
BANKR0	VDDIOR0	D12		
BANKR0	VDDIOR0	D14		
BANKR1	VDDIOR1	F11		
BANKR1	VDDIOR1	H11		
BANKR2	VDDIOR2	M12		
BANKR2	VDDIOR2	N14		
BANKR2	VDDIOR2	P12		
	VSS	C6		
	VSS	C9		
	VSS	C12		
	VSS	C14		
	VSS	D3		
	VSS	E6		
	VSS	F12		
	VSS	G7		
	VSS	H12		
	VSS	J5		
	VSS	L6		
	VSS	L8		
	VSS	L10		
	VSS	M3		
	VSS	M11		
	VSS	M13		
	VSS	N6		
	VSS	N7		
	VSS	N9		
	VSS	P3		
	VSS	P8		
	VSS	P10		
	VSS	P11		
	VSS	P14		
BANKCFG	VSSA	G9		